



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0016433  
Application Number

출원년월일 : 2003년 03월 17일  
Date of Application MAR 17, 2003

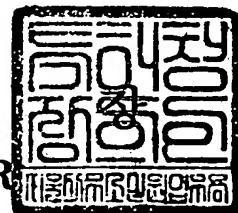
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 10 일

특허청

COMMISSIONER



## 【서지사항】

|            |                                     |
|------------|-------------------------------------|
| 【서류명】      | 특허출원서                               |
| 【권리구분】     | 특허                                  |
| 【수신처】      | 특허청장                                |
| 【제출일자】     | 2003.03.17                          |
| 【발명의 명칭】   | 금속 매립 방법                            |
| 【발명의 영문명칭】 | METHOD FOR FILLING UP A HOLE        |
| 【출원인】      |                                     |
| 【명칭】       | 삼성전자 주식회사                           |
| 【출원인코드】    | 1-1998-104271-3                     |
| 【대리인】      |                                     |
| 【성명】       | 박영우                                 |
| 【대리인코드】    | 9-1998-000230-2                     |
| 【포괄위임등록번호】 | 1999-030203-7                       |
| 【발명자】      |                                     |
| 【성명의 국문표기】 | 손홍성                                 |
| 【성명의 영문표기】 | SON, Hong Seong                     |
| 【주민등록번호】   | 660417-1645911                      |
| 【우편번호】     | 442-729                             |
| 【주소】       | 경기도 수원시 팔달구 영통동 신나무실신원아파트 642동 301호 |
| 【국적】       | KR                                  |
| 【발명자】      |                                     |
| 【성명의 국문표기】 | 하상록                                 |
| 【성명의 영문표기】 | HAH, Sang Rok                       |
| 【주민등록번호】   | 611114-1031525                      |
| 【우편번호】     | 135-891                             |
| 【주소】       | 서울특별시 강남구 신사동 566-33호 4층            |
| 【국적】       | KR                                  |
| 【발명자】      |                                     |
| 【성명의 국문표기】 | 김일구                                 |
| 【성명의 영문표기】 | KIM, II Goo                         |
| 【주민등록번호】   | 660313-1852419                      |

【우편번호】 463-030  
【주소】 경기도 성남시 분당구 분당동 35 샛별마을 207-705  
【국적】 KR  
【발명자】  
【성명의 국문표기】 오준환  
【성명의 영문표기】 OH, Jun Hwan  
【주민등록번호】 740814-1251917  
【우편번호】 402-070  
【주소】 인천광역시 남구 문학동 335-6 양지주택 102  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
박영우 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 13 면 13,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 20 항 749,000 원  
【합계】 791,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

금속의 리세스 또는 보이드와 같은 결함을 방지하기 위한 금속 매립 방법이 개시된다. 반도체 기판 상에 절연막, 제1 및 제2 마스크층을 순차적으로 형성하고, 포토레지스트 패턴을 마스크로 제1 및 제2 마스크층을 식각하여 제1 및 제2 마스크를 형성한다. 제1 마스크에 대해 높은 식각율을 갖는 에천트로 제1 마스크를 선택적으로 식각하여 확장된 개구부를 갖는 제3 마스크를 형성한 후, 다시 제2 마스크를 이용하여 절연막을 식각하여 홀을 형성한다. 금속층으로 홀 및 확장된 개구부를 매립하고, 평탄화 공정을 통해 제3 마스크 및 금속층을 제거하여 금속 플러그를 형성한다. 금속 리세스 또는 금속 플러그의 보이드가 크게 개선된 금속 플러그를 형성할 수 있으며, 금속의 캡 매립 특성을 향상시킬 수 있다.

**【대표도】**

도 5g

**【명세서】****【발명의 명칭】**

금속 매립 방법{METHOD FOR FILLING UP A HOLE}

**【도면의 간단한 설명】**

도 1은 종래의 싱글 다마신 공정에 의한 구리의 매립을 설명하기 위한 전자 현미경 사진들이다.

도 2는 비어 패턴으로부터 이격된 거리에 따른 구리 리세스 양을 도시한 그래프이다.

도 3은 종래의 싱글 다마신에 의한 구리의 매립을 설명하기 위한 단면도이다.

도 4는 비어홀의 크기에 따른 보이드 발생 비율을 도시한 그래프이다.

도 5a 내지 도 5h는 본 발명의 제1 실시예에 따른 금속 매립 방법을 설명하기 위한 단면도들이다.

도 6은 제1 실시예에 따른 전기 도금의 특성을 설명하기 위한 단면도이다.

도 7a 내지 도 7e는 본 발명의 제2 실시예에 따른 금속 매립 방법을 설명하기 위한 단면도들이다.

**<도면의 주요 부분에 대한 부호의 설명>**

110, 210 : 반도체 기판 120, 220 : 하부 도전층

130, 230 : 절연막 130a, 230a : 절연막 패턴

140 : 제1 마스크층 140a : 제1 마스크층 패턴

150 : 제2 마스크층 150a : 제2 마스크층 패턴

160 : 포토레지스트 패턴 170, 270 : 구리층

180, 280 : 금속 플러그 240 : 마스크 층

240a : 마스크층 패턴 240b : 식각된 마스크층 패턴

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 금속 매립 방법에 관한 것으로서, 보다 상세하게는, 보이드나 리세스와 같은 결함을 방지하면서 콘택 홀 또는 비어 홀 내에 금속 플러그를 형성할 수 있는 금속 매립 방법에 관한 것이다.

<17> 일반적으로 RAM(Random Access Memory) 칩의 메모리 능력은 경험칙인 Moores의 법칙에 의하여 표현되어 진다. Moores의 법칙은 메모리 칩의 일반적인 경향을 나타낸 것으로써, RAM 칩의 메모리 용량이 대체로 3년마다 4배 정도씩 증가한다는 것을 그 내용으로 한다. 약 4배 정도의 메모리 용량의 증가는 새로운 세대의 칩이 출현할 때마다 소자의 사이즈의 감소와 동시에 그 만큼의 실리콘 칩의 길이 증가에 의하여 이루어진다. 실리콘 칩 내에 집적되는 소자의 크기가 점점 작아짐에 따라 연결 라인(interconnect line)들의 상대적인 거리 역시 감소하게 된다. 그러나, 연결 라인들 사이의 거리가 감소하면서 라인들 서로 영향을 미치기 시작하며, 연결 라인들 사이의 거리가 소정의 값 이하가 되면 반도체 소자 전체의 신호 지연을 야기한다. 반도체 칩의 신호 처리 속도를 향상시키기 위한 방안 가운데 하나로서 배선으로 사용되는 금속의 비저항을 감소시키는 것이 요구된다.

<18> 최근까지는, 반도체 소자의 연결 라인의 재료로서 약  $2.66 \mu\Omega\text{cm}$  정도의 비저항을 갖는 알루미늄(Al) 또는 알루미늄 합금을 사용하였다. 1998년 IBM에서 약  $1.65 \mu\Omega\text{cm}$  정도로 알루미늄에 비하여 훨씬 낮은 비저항을 가지는 구리(Cu)를 이용하여 금속 배선을 형성하는 방법을 개시한 이래로 현재는 구리를 사용하여 반도체 소자의 금속 배선을 형성하는 방법에 대하여 많은 연구가 진행되고 있다. 그러나, 구리는 실리콘 또는 대부분의 금속막에서 빠르게 확산되기 때문에 종래의 사진 식각 공정을 적용할 수 없으므로 일반적으로 다마신(damascene)공정에 의해 금속 배선을 형성하게 된다.

<19> 현재 반도체 장치에서 구리를 배선으로 널리 사용하고 있다. 하지만, 최종 배선층(Final Wiring Layer)을 구리로 구성하여도, 패키징을 위한 배선 결합(Wire-bonding)에서는 알루미늄 패드(Al Pad)를 추가적으로 사용하여야 한다. 이 때, 최종 배선층도 알루미늄으로 구성한다면 알루미늄 패드를 별도로 제조 및 결합시킬 필요가 없기 때문에, 현재 공정 편의 및 경제상의 이유로 최종 배선층 및 패드를 알루미늄으로 구성하여 일체로 형성하는 방법이 개시되고 있다. 그런데, 최종 배선층을 알루미늄으로 구성하면, 하부 도전층과 연결되는 콘택홀 또는 비어홀(via hole)에 구리를 매립하여야 하며, 하부 도전층과 상부의 알루미늄 배선층을 전기적으로 연결하는 구리는 싱글 다마신(Single Damascene) 공정에 의해서 형성될 수 있다.

<20> 도 1은 종래의 싱글 다마신 공정에 의한 구리의 매립을 설명하기 위한 전자 현미경 사진으로, 비어 패턴이 밀집된 부분(dense via pattern)으로부터 이격된 거리에 따라 구리(Cu)의 리세스(recess) 량의 변화를 설명하기 위한 것이다. 도 2는 비어 패턴으로부터 이격된 거리에 따른 구리 리세스 양을 도시한 그래프이다.

<21> 도 1 및 도 2를 참조하면, 구리의 리세스 양은 비어 패턴이 밀집된 부분으로부터 이격된 거리에 의존하며, 비어 패턴으로부터 이격되는 거리가 증가할수록 리세스 양도 증가한다. 이와 같은 비어 홀에 매립되는 구리의 리세스는 배선충과의 전기적 연결을 불량하게 하며, 이러한 문제점은 비어 홀이 밀집된 부분으로부터 멀어질수록 심각하게 나타난다.

<22> 도 1에는 비어 패턴의 밀집 부분에 위치한 비어(a), 약  $4\mu\text{m}$  정도의 거리로 이격된 비어(b), 약  $7\mu\text{m}$  정도의 거리로 이격된 비어(c), 약  $10\mu\text{m}$  정도의 거리로 이격된 비어(d), 약  $14\sim 15\mu\text{m}$  정도의 거리로 이격된 비어(e), 그리고 약  $220\mu\text{m}$  정도의 거리로 이격된 비어(f)를 전자 현미경 찍은 사진들이 나열되어 있다. (a)의 경우, 구리의 리세스 양은 거의  $0\mu\text{m}$  정도이지만, (b) 및 (c)와 같이 이격되는 거리가 증가할수록 구리의 리세스 양도 증가하며, 약  $10\mu\text{m}$  이상의 이격 거리(d), (e) 및 (f)에서는 구리의 리세스 양이 현저하게 증가함을 알 수 있다.

<23> 도 3은 종래의 싱글 다마신에 의한 구리의 매립을 설명하기 위한 단면도로서, 비어 홀에 매립되는 구리층의 상부에 발생하는 리세스 또는 보이드(void)를 설명하기 위한 것이다. 도 4는 비어 홀의 사이즈에 따른 구리층의 보이드 또는 리세스의 발생 비율을 도시한 그래프이다.

<24> 도 3을 참조하면, 비어 홀 또는 콘택 홀은 반도체 기판(10) 상에 형성된 식각 저지 막(12) 및 절연막(30)을 관통하여 반도체 기판(10)에 형성된 하부 도전층(20)을 노출시키는 구조로 형성된다. 이러한 비어 홀 또는 콘택 홀 내에는 금속 플러그(40)가 형성된다. 일반적으로 보이드 또는 리세스(42)는 금속 플러그(40)의 상면에 발생하며, 금속 플러그(40)의 상면이 부분적으로 험몰된 형상을 갖는다.

<25> 상기 금속 플러그(40)를 형성하는 공정에 있어서, 포토레지스트 패턴(도시되지 않음)을 이용하여 절연막(30)과 식각 저지막(12)을 식각하여 비어 홀(콘택 홀 포함)을 형성하고, 화학 기상 증착 공정이나 전기 도금(electroplating) 공정을 이용하여 비어 홀에 구리를 매립한다. 상기 전기 도금 공정에서 비어 홀의 저면, 측면 및 절연막(30)의 상면 모두에서 구리층이 성장한다. 특히, 직경이 작은 비어 홀의 입구에서 구리층이 빠르게 성장하여 구리층 내에 공동을 형성할 수 있으며, 구리층 내에 형성된 공동은 이후 화학 기계적 연마(Chemical Mechanical Polishing) 공정 시 외부로 드러나게 되어 보이드나 리세스(42)를 형성한다.

<26> 금속 플러그(40)에 발생한 리세스(42)는 금속 플러그(40) 및 배선층(도시되지 않음) 간의 전기적 접촉을 불량하게 할 수 있으며, 리세스(42) 내에 잔류하는 전해질 용액 등이 이후의 어닐링 공정 등에서 기화하고 팽창될 수 있다. 고온에 의해서 팽창하는 기체는 금속 플러그(40)와 상부 배선층 사이의 결합력을 약하게 할 수 있으며, 상부 배선층의 박리를 유발할 수도 있다.

<27> 도 4를 참조하면, 종래의 싱글 다마신 공정에 있어서, 비어 홀의 크기가 약  $0.25\mu\text{m}$  미만일 경우에서 보이드나 리세스가 빈번하게 발생하고, 약  $0.25\mu\text{m}$  이상에서는 보이드 혹은 리세스가 발생하지 않음을 알 수 있다. 전술한 바와 같이, 금속 플러그에 발생하는 리세스 또는 보이드 발생 비율은 비어 홀의 크기가 작을수록 증가한다. 즉, 종래의 싱글 다마신 공정에 의해서 미세한 크기의 홀에 구리 등의 금속을 매립하는 경우, 금속의 리세스 또는 보이드 등의 결함이 발생할 가능성이 매우 높다.

### 【발명이 이루고자 하는 기술적 과제】

<28> 따라서, 본 발명의 목적은 금속 플러그의 리세스 내지 보이드의 발생을 방지하고, 완전한 갭 매립(gap filling)을 유도하여 비어 훌 또는 콘택 훌 내에 양질의 금속 플러그를 형성하기 위한 금속 매립 방법을 제공하는 것이다.

### 【발명의 구성 및 작용】

<29> 상술한 본 발명의 목적을 달성하기 위하여 본 발명의 바람직한 일 실시예에 따르면, 반도체 기판 상에 절연막, 제1 마스크층 및 제2 마스크층을 순차적으로 형성하고, 상기 제1 및 제2 마스크층을 식각하여 제1 폭의 개구부를 갖는 제1 및 제2 마스크층 패턴을 형성한다. 제1 마스크층 패턴을 선택적으로 식각하여 제2 폭의 확장된 개구부를 갖는 제3 마스크층 패턴을 형성한 후, 제2 마스크층 패턴을 마스크로 절연막을 식각하여 상기 제1 폭의 훌을 갖는 절연막 패턴을 형성한다. 훌 및 상기 확장된 개구부를 매립하는 금속층을 형성하고, CMP 또는 에치 백 공정을 통해 제3 마스크층 패턴 및 금속층을 제거함으로써 절연막에 금속이 매립할 수 있다.

<30> 제1 마스크층 패턴을 선택적으로 식각하여 제2 폭의 확장된 개구부를 형성하기 위해, 제1 마스크층 패턴에 대해 상대적으로 높은 식각 특성을 갖는 에천트(etchant)(e.g. 불산(HF) 용액 등)를 사용할 수 있다. 상기 에천트에 의해서 제2 마스크층 패턴 및 절연막과 대비하여 제1 마스크층 패턴을 선택적으로 식각할 수 있다.

<31> 종래의 싱글 다마신 공정과는 달리, 훌보다 더 넓은 폭을 갖는 개구부가 훌 입구에 형성됨으로써, 전체적으로 금속 플러그가 형성되는 훌의 직경이 증가한다. 또한, 금속이 리세스되는 양을 고려하여 개구부를 갖는 마스크층 패턴을 형성하고 전체적인 훌의

길이를 증가시킴으로써 리세스와 같은 결함을 CMP 공정 등을 통해 제거할 수 있으며, 그 결과 양질의 금속 플러그를 형성할 수 있다. 홀 및 개구부에 의해서 제공되는 계단 구조에 의해 구리의 갭 매립(gap filling)을 우수하게 할 수 있다.

<32> 상술한 본 발명의 목적을 달성하기 위한 본 발명의 바람직한 다른 실시예에 따르면, 반도체 기판 상에 절연막 및 제1 마스크층을 순차적으로 형성하고, 제1 마스크층을 식각하여 제1 폭의 개구부를 갖는 제1 마스크층 패턴을 형성한다. 제1 마스크층 패턴을 마스크로 절연막을 식각하여 제1 폭의 홀을 갖는 절연막 패턴을 형성한 후, 제1 마스크층 패턴을 다시 식각하여 제2 폭의 확장된 개구부를 갖는 제3 마스크층 패턴을 형성한다. 상기 홀 및 확장된 개구부를 매립하는 금속층을 형성하고, 제3 마스크층 패턴 및 금속층을 제거함으로써, 절연막에 금속을 매립할 수 있다.

<33> 상술한 본 발명의 목적을 달성하기 위한 본 발명의 바람직한 또 다른 실시예에 따르면, 반도체 기판 상에 절연막, 제1 마스크층 및 제2 마스크층을 순차적으로 형성하고, 제2 마스크층 상에 포토레지스트 패턴을 형성하여 상기 포토레지스트 패턴을 마스크로 제1 및 제2 마스크층을 식각한다. 제1 및 제2 마스크층을 식각함으로써 각각 제1 폭의 제1 및 제2 개구부를 갖는 제1 및 제2 마스크층 패턴을 형성한다. 제2 마스크층 패턴보다 제1 마스크층 패턴에 대해 상대적인 높은 식각 특성을 갖는 에천트(etchant)로 제1 마스크층 패턴을 선택적으로 식각하여 제2 폭의 확장된 제1 개구부를 형성한 후, 다시 제2 마스크층 패턴을 마스크로 상기 절연막을 건식 식각하여 비어홀 또는 콘택홀이 되는 홀을 포함하는 절연막 패턴을 형성한다. 반도체 기판 상에 금속층을 형성하여 절연막 패턴 및 확장된 제1 개구부를 매립하고, CMP 또는 에치 백 공정을 통해 절연막 패턴의 상면이 노출될 때까지 마스크층 패턴 및 금속층을 제거하여 금속 플러그를 형성한다. 이에

따라, 금속의 리세스 및 금속 플러그의 보이드의 발생을 방지할 수 있으며, 우수하게 캡 매립된 금속 플러그를 얻을 수 있다.

<34> 상술한 본 발명의 목적을 달성하기 위하여 본 발명의 바람직한 또 다른 실시예에 따르면, 반도체 기판 상에 절연막 및 마스크층을 순차적으로 형성하고, 마스크층 상에 제1 포토레지스트 패턴을 형성하여 상기 제1 포토레지스트 패턴을 마스크로 절연막 및 마스크층을 식각한다. 그 결과, 비어홀 또는 콘택홀이 되는 제1 폭의 홀을 갖는 절연막 패턴 및 제1 폭의 개구부를 갖는 마스크층 패턴이 형성된다. 그 다음, 마스크층 패턴 상에 제1 폭보다 큰 제2 폭의 스페이스를 포함하는 제2 포토레지스트 패턴을 형성하고, 상기 제2 포토레지스트 패턴을 마스크로 이용하여 절연막 패턴이 노출될 때까지 마스크층 패턴을 식각한다. 마스크층 패턴이 선택적으로 식각되어 제2 폭의 확장된 개구부가 형성되고, 전기 도금 공정 등에 의해 금속층이 형성되어 상기 홀 및 확장된 개구부를 매립한다. CMP 또는 에치 백 공정을 통해 절연막 패턴의 상면이 노출될 때까지 마스크층 패턴 및 금속층을 제거함으로써 금속 플러그가 형성된다. 따라서, 금속의 리세스 및 금속 플러그의 보이드의 발생을 방지할 수 있으며, 우수하게 캡 매립된 금속 플러그를 얻을 수 있다.

<35> 본 발명은 싱글 다마신 공정에 의한 비어 홀 또는 콘택 홀 내에 형성되는 플러그 또는 콘택의 결함을 극복하기 위한 것으로 비어 주변에 국부적인 듀얼 다마신 (localized dual damascene) 구조를 형성하고, 이러한 듀얼 다마신 구조의 장점을 싱글 다마신 공정에 적용한 것이다.

<36> 이하, 첨부된 도면들을 참조하며 본 발명의 실시예들을 설명하지만, 본 발명이 하기의 실시예들에 의해서 제한되거나 한정되는 것은 아니다.

<37> 실시예 1

<38> 도 5a 내지 도 5h는 본 발명의 제1 실시예에 따른 금속 매립 방법을 설명하기 위한 단면도들이며, 도 6은 본 발명의 제1 실시예에 따른 전기 도금의 특성을 설명하기 위한 단면도이다.

<39> 본 실시예에 있어서, 은 절연막의 상부 및 하부를 전기적으로 연결하기 위한 콘택 홀 또는 비어 홀에 금속 플러그를 형성하는 과정을 설명한다. 도 5a 내지 도 5h에서 반도체 장치를 구성하는 트랜지스터, 캐패시터 및 배선에 관한 도시는 생략한다.

<40> 도 5a를 참조하면, 반도체 기판(110) 상에 소오스/드레인 영역, 워드 라인 또는 비트 라인 등에 상당하는 하부 도전층(120)이 형성된다.

<41> 하부 도전층(120) 상에는 식각 저지막(112) 및 절연막(130)이 차례로 형성된다. 절연막(130)은 상하로 배치되는 도전층을 전기적으로 차단하기 위한 것으로, 실리콘 산화물, 실리콘 질화물, 불순물이 도핑된 실리콘 또는 이들의 복합물로 구성될 수 있다.

<42> 절연막(130) 상에는 제1 마스크층(140) 및 제2 마스크층(150)이 순차적으로 형성된다. 제1 마스크층(140)은 이후 금속 플러그가 형성되는 비어 홀 또는 콘택 홀의 입구를 확장하기 위한 개구부를 형성하기 위한 것으로서, 절연막(130)과 상이한 식각율을 갖는 물질로 형성되는 것이 바람직하다. 따라서, 제1 마스크층(130)은 불소를 함유하는 산화물(fluorine-doped oxide), 탄소를 함유하는 산화물(carbon-doped oxide), 실리콘 산화물(Si-based oxide), HSQ, FOX, 또는 LKD 등으로 구성된다. 또한, 제1 마스크층(140)은

이후의 구리 리세스(Cu recess)를 보상하기 위하여 약 150~300nm 정도의 두께로 형성된다.

<43> 제1 마스크층(140) 상에 형성되는 제2 마스크층(150)은 절연막 패턴을 형성하기 위한 것으로 실리콘 산질화물(SiON), 실리콘 탄화물계 화합물(SiC-based material), 실리콘계 화합물(Si-based material), 실리콘계 질화물(Si-based nitride) 또는 이들의 혼합물로 구성될 수 있다.

<44> 제2 마스크층(150) 상에 포토레지스트 막(도시되지 않음)을 형성한 다음, 상기 포토레지스트 막을 노광 및 현상하여 콘택 홀 또는 비어 홀을 형성하기 위한 포토레지스트 패턴(160)을 형성한다. 이 경우, 포토레지스트 패턴(160)에 의하여 노출되는 부분의 제2 마스크(150)의 제1 폭(W1)은 절연막(130)에 형성되는 비어 홀 또는 콘택 홀의 치수와 일치한다.

<45> 도 5b를 참조하면, 포토레지스트 패턴(160)을 마스크로 이용하여 제1 및 제2 마스크층(140, 150)을 건식 식각한다. 상기 건식 식각 공정에 의해서, 제1 마스크층 패턴(140a) 및 제2 마스크층 패턴(150a)이 형성된다. 이 때, 제1 및 제2 마스크층 패턴(140a, 150a)은 각각 제1 폭(W1)의 제1 개구부(142) 및 제2 개구부(152)를 포함한다.

<46> 도 5c를 참조하면, 애싱(ashing) 공정, 황산(H<sub>2</sub>SO<sub>4</sub>) 및 과산화수소(H<sub>2</sub>O<sub>2</sub>)에 의한 세정 또는 유기 스트립퍼(Organic stripper) 등에 의하여 포토레지스트 패턴(160)을 제거한다.

<47> 도 5d를 참조하면, 상기 결과물에 대하여 불화 수소(HF) 용액을 포함하는 식각액으로 습식 식각 공정을 수행한다. 불화 수소(HF) 용액은 제2 마스크층 패턴(150a)에 비해

제1 마스크층 패턴(140a)에 상대적으로 높은 식각 속도로 식각하는 특성을 가지며, 제1 마스크층 패턴(140a)의 제1 개구부(142)를 측면을 통해 식각을 진행한다. 이에 따라, 식각 이전의 제1 개구부(142)의 제1 폭(W1)은 식각에 의해서 넓게 확장된 제1 폭(W2)을 가지는 확장된 제1 개구부(142a)가 생성된다.

<48> 도 5e를 참조하면, 제2 마스크층 패턴(150a)을 마스크로 이용하여 건식 식각 공정을 수행한다. 상기 건식 식각 공정은 식각 저지막(112)이 노출될 때까지 진행된다. 이에 따라, 절연막(130)에는 콘택 홀 또는 비어 홀(132)이 형성된다. 이 때, 비어 홀(132)은 제1 개구부(142)의 폭과 동일한 제1 폭(W1)으로 형성된다.

<49> 도 5f를 참조하면, 제2 마스크층 패턴(150a) 및 노출된 식각 저지막(112)을 제거하여, 비어 홀(132)을 포함하는 절연막(130a), 제3 마스크층 패턴(140b) 및 하부 도전층(120)이 노출된다. 상기 콘택 홀 또는 비어 홀(132)은 제1 개구부(142)의 제1 폭(W1)과 동일한 직경으로 형성되며, 콘택 홀 또는 비어 홀(132)의 입구는 확장된 제1 개구부(142a)에 의해서 확장된다. 본 실시예에 있어서, 콘택 홀 내지 비어 홀(132)의 폭은 약 100~250nm 정도이다.

<50> 도 5g 및 도 6을 참조하면, 비어 홀(132) 및 확장된 제1 개구부(142a)가 형성된 절연막 패턴(130a) 및 제3 마스크층 패턴(140b) 상에 구리를 포함하는 전해액을 이용하여 전기 도금(electroplating) 공정을 수행한다. 이 경우, 상기 전해액은 구리 약 10~30g/l 정도, 황산 약 100~300g/l 정도, 염소 약 40~120ppm 정도, 반응 억제제 약 15~45ml/l 정도 및 반응 촉진제 약 1~4ml/l 정도를 포함한다. 이러한 조성을 가지는 상기 전해액은 비어 홀(132)에 대한 갭 매립 특성 및 균일도(uniformity)를 향상시키기 위한 첨가제를 포함하며, 상기 첨가제로는 반응 촉진제(accelerator) 및 반응 억제제(suppressor)가 있다.

다. 상기 반응 촉진제 및 반응 억제제는 일정 비율로 배합되어 요구되는 특성에 따라 다양하게 사용될 수 있다.

<51> 상기 반응 억제제는 주로 넓은 폭의 패턴이 형성된 부위에서 구리 증착 속도를 상대적으로 낮추는 역할을 하며, 반응 촉진제는 주로 좁은 폭의 패턴에 형성된 부위에서 구리의 증착 속도를 상대적으로 빠르게 하는 역할을 한다.

<52> 따라서, 상기 반응 촉진제는 콘택 홀 또는 비어 홀(132)의 저면에서 구리층의 성장을 가속시키는 기능을 하며(X 참조), 상기 반응 억제제는 확장된 제1 개구부(142a)의 저면, 즉 홀(132) 입구의 주변의 구리층 성장을 감속시키는 기능을 한다(Y 참조). 또한, 제1 마스크층 패턴(150a) 상에서는 상기 반응 억제제에 의해서 구리층이 느린 속도로 성장한다(Z 참조). 이에 따라, 구리층(170)은 셀로우 트렌치(STI) 형상의 국부적인 듀얼다마신 영역(Localized dual damascene region)에서 성장하며, 콘택 홀 내지 비어 홀(132) 내에 양질의 구리층(170)이 형성된다.

<53> 도 5h를 참조하면, 전기 도금에 의한 구리층(170)을 형성한 후, 절연막 패턴(130a)이 노출될 때까지 화학 기계적 연마(CMP) 공정 또는 에치 백(etch back) 공정을 통해 제1 마스크층 패턴(140b) 및 구리층(170)을 제거한다. 따라서, 리세스 또는 보이드의 발생이 크게 저하된 금속 플러그(180)를 형성할 수 있다. 그 결과, 비어 홀(132) 또는 콘택 홀에 금속의 캡 매립 특성을 우수하게 유지시킬 수 있다.

<54> 실시예 2

<55> 도 7a 내지 도 7e는 본 발명의 제2 실시예에 따른 금속 매립 방법을 설명하기 위한 단면도들을 도시한 것이다.

<56> 도 7a를 참조하면, 반도체 기판(210) 상에는 소오스/드레인 영역, 워드 라인 또는 비트 라인 등에 해당하는 하부 도전층(220)이 형성된다.

<57> 상기 하부 도전층(220) 상에는 식각 저지막(212) 및 절연막(230)이 차례로 형성된다. 절연막(230)은 상하로 배치되는 도전층을 전기적으로 차단하기 위한 것으로, 실리콘 산화물, 실리콘 질화산화물, 불순물이 도핑된 실리콘 또는 이들의 복합물로 구성될 수 있다.

<58> 절연막(230) 상에는 마스크층(240)이 형성된다. 마스크층(240)은 이후 금속 플러그가 형성되는 콘택 홀 쪽은 비어 홀의 입구를 임시로 확장하기 위한 개구부를 형성하기 위한 것으로서, 절연막(230)과 상이한 식각율을 갖는 물질로 구성되는 것이 바람직하다. 따라서, 마스크층(230)은 불소를 함유하는 산화물, 탄소를 함유하는 산화물, 실리콘계 산화물, HSQ, FOX, 또는 LKD 등으로 구성될 수 있다. 또한, 마스크층(240)은 이후의 금 속 플러그를 구성하는 구리 리세스(Cu recess)를 보상하기 위하여 약 150~300nm 정도의 두께로 형성된다.

<59> 상기 마스크층(230) 상에는 스펀 코팅 방법으로 포토레지스트 막(도시되지 않음)을 형성되며, 상기 포토레지스트 막을 노광 및 현상하여 콘택 홀 또는 비어 홀에 대응하는 패턴을 구비하는 제1 포토레지스트 패턴(260)을 형성된다. 이 경우, 포토레지스트 패턴(260)에 의하여 노출되는 부분의 마스크층(240)의 제1 폭(W1)은 절연막(230)에 형성되는 콘택 홀 또는 비어 홀의 치수와 일치한다.

<60> 도 7b를 참조하면, 제1 포토레지스트 패턴(260)을 마스크로 이용하여 절연막(130) 및 마스크층(240)을 건식 식각한다. 상기 식각 공정에 의해서, 절연막 패턴(230a) 및 마스크층 패턴(240a)이 생성되며, 절연막 패턴(230a) 및 마스크층 패턴(240a)은 각각 제1 폭(W1)의 홀(232) 및 개구부(242)를 포함한다.

<61> 도 7c를 참조하면, 애싱 공정 및 스트리핑 공정으로 제1 포토레지스트 패턴(260)을 제거한다. 제1 포토레지스트 패턴(260)을 제거한 후, 마스크 패턴(240a) 상에 제2 포토레지스트 패턴(262)을 형성한다. 이 때, 제2 포토레지스트 패턴(262)에 의하여 마스크 층 패턴(240a)은 더 넓은 제2 폭(W2)으로 노출된다.

<62> 제2 포토레지스트 패턴(262)을 마스크로 이용하여 건식 식각이 진행되며, 상기 건식 식각은 절연막 패턴(230a)의 상면이 노출될 때까지 진행한다. 그 결과, 개구부(240a)는 더 넓은 제2 폭(W2)을 갖게 되고, 제2 폭(W2)의 확장된 개구부(242a)를 포함하는 식각된 마스크층 패턴(240b)이 생성된다.

<63> 도 7d를 참조하면, 애싱 및 스프리핑 공정을 통하여 제2 포토레지스트 패턴(262)을 제거한 다음, 건식 식각 공정을 수행하여 식각 저지막(212)을 제거한다. 이에 따라, 절연막 패턴(230a), 식각된 마스크층 패턴(240b) 및 하부 도전층(220)이 노출된다.

<64> 콘택 홀 또는 비어 홀(232)은 제1 폭(W1)으로 형성되며, 콘택 홀 내지 비어 홀(232)의 입구는 확장된 개구부(242a)에 의해서 확장된다. 이 경우, 비어 홀(232)의 폭은 약 100~250nm 정도이다.

<65> 상기 콘택 홀 또는 비어 홀(232) 및 확장된 개구부(242a)가 형성된 절연막 패턴(230a) 및 식각된 마스크층 패턴(240b)에 대하여 구리를 포함하는 전해액을 이용하여 전

기 도금(electroplating) 공정이 수행된다. 상기 전해액은 구리 약 10~30g/l, 황산 약 100~300g/l, 염소 약 40~120ppm, 반응 억제제 약 15~45ml/l 및 반응 촉진제 약 1~4ml/l을 포함한다. 이러한 조성을 갖는 전해액은 캡 매립 특성 및 균일도(uniformity)를 향상시키기 위한 첨가제를 포함하며, 이러한 첨가제로는 반응 촉진제(accelerator) 및 반응 억제제(suppressor)가 있다. 반응 촉진제 및 반응 억제제는 일정 비율로 배합되어 요구되는 특성에 따라 다양하게 사용될 수 있다. 따라서, 반응 촉진제는 홀(232)의 저면에서 구리층의 성장을 가속시키는 기능을 하며, 반응 억제제는 확장된 제1 개구부(242a)의 저면, 즉 홀(232) 입구의 주변의 구리층 성장을 감속시키는 기능을 한다.

<66> 도 7e를 참조하면, 전기 도금에 의한 구리층(270)을 형성한 후, 절연막 패턴(230a)이 노출될 때까지 화학 기계적 연마 공정 또는 에치 백 공정을 통해 제1 마스크층 패턴(240b) 및 구리층(270)을 제거한다. 그 결과, 구리 리세스 및 금속 플러그의 리세스 혹은 보이드가 크게 개선된 금속 플러그(280)를 형성할 수 있으며, 금속의 캡 매립 특성을 우수하게 향상시킬 수 있다.

### 【발명의 효과】

<67> 본 발명에 따르면, 비어 홀 또는 콘택 홀 내에 금속 리세스 또는 금속 플러그의 보이드가 크게 개선된 금속 플러그를 형성할 수 있으며, 금속의 캡 매립 특성을 우수하게 향상시킬 수 있다.

<68> 상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로

1020030016433

출력 일자: 2003/4/11

부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해  
할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

기판 상에 절연막, 제1 마스크층 및 제2 마스크층을 순차적으로 형성하는 단계;

상기 제1 및 제2 마스크층을 식각하여 각기 제1 폭의 개구부를 갖는 제1 및 제2 마스크를 형성하는 단계;

상기 제1 마스크를 선택적으로 식각하여 제2 폭의 확장된 개구부를 갖는 제3 마스크를 형성하는 단계;

상기 제2 마스크를 이용하여 상기 절연막을 식각하여 상기 절연막에 제1 폭의 홀을 형성하는 단계;

상기 홀 및 상기 확장된 개구부를 매립하면서 상기 절연막 상에 금속층을 형성하는 단계; 및

상기 절연막이 노출될 때까지 상기 제3 마스크 및 상기 금속층을 제거하는 단계를 포함하는 금속 매립 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 제3 마스크를 형성하는 단계는 상기 제2 마스크 보다 상기 제1 마스크에 대하여 높은 식각율을 갖는 에천트를 사용하여 상기 제1 마스크를 식각하는 단계인 것을 특징으로 하는 금속 매립 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 제1 마스크층은 150~250nm의 두께로 형성되는 것을 특징으로 하는 금속 매립 방법.

**【청구항 4】**

제 1 항에 있어서, 상기 제1 마스크층은 불소를 함유하는 산화물(fluorine-doped oxide), 탄소를 함유하는 산화물(carbon-doped Oxide), 실리콘계 산화물(Si-based Oxide), HSQ, FOX 및 LKD로 이루어진 그룹 중 선택된 어느 하나로 구성되며, 상기 제2 마스크층은 실리콘 산질화물(SiON), 실리콘 탄화물계 화합물(SiC-based material), 실리콘계 화합물(Si-based material) 및 실리콘계 질화물(Si-based nitride)로 이루어진 그룹 중 선택된 어느 하나로 구성되는 것을 특징으로 하는 금속 매립 방법.

**【청구항 5】**

제 1 항에 있어서, 상기 금속층을 형성하기 전에 상기 제2 마스크를 제거하는 단계를 더 포함하는 것을 특징으로 하는 금속 매립 방법.

**【청구항 6】**

제 1 항에 있어서, 상기 금속층은 전기 도금(electroplating) 공정으로 상기 절연막 상에 형성되는 것을 특징으로 하는 금속 매립 방법.

**【청구항 7】**

제 1 항에 있어서, 상기 제3 마스크 및 상기 금속층은 화학 기계적 연마(Chemical Mechanical Polishing) 또는 에치 백 공정에 의해서 제거되는 것을 특징으로 하는 금속 매립 방법.

**【청구항 8】**

반도체 기판 상에 절연막 및 제1 마스크층을 순차적으로 형성하는 단계;

상기 제1 마스크층을 식각하여 제1 폭의 개구부를 갖는 제1 마스크를 형성하는 단계;

상기 제1 마스크를 이용하여 상기 절연막을 식각하여 상기 절연막에 제1 폭의 홀을 형성하는 단계;

상기 제1 마스크를 식각하여 제2 폭의 확장된 개구부를 갖는 제2 마스크를 형성하는 단계;

상기 홀 및 상기 확장된 개구부를 매립하면서 상기 절연막 상에 금속층을 형성하는 단계; 및

상기 절연막이 노출될 때까지 상기 제2 마스크 및 상기 금속층을 제거하는 단계를 포함하는 금속 매립 방법.

**【청구항 9】**

제 8 항에 있어서, 상기 제1 마스크층은 150~250nm의 두께로 형성되는 것을 특징으로 하는 금속 매립 방법.

**【청구항 10】**

제 8 항에 있어서, 상기 제1 마스크층은 불소를 함유하는 산화물, 탄소를 함유하는 산화물, 실리콘계 산화물, HSQ, FOX 및 LKD로 이루어진 그룹 중 선택된 어느 하나로 구성되며, 상기 제2 마스크층은 실리콘 산질화물, 실리콘 탄화물계 화합물, 실리콘계 화합

물(Si-based material), 실리콘계 질화물로 이루어진 그룹 중 선택된 어느 하나로 구성되는 것을 특징으로 하는 금속 매립 방법.

#### 【청구항 11】

제 8 항에 있어서, 상기 금속은 전기 도금 공정으로 매립되는 것을 특징으로 하는 금속 매립 방법.

#### 【청구항 12】

제 8 항에 있어서, 상기 제2 마스크 및 상기 금속층은 화학 기계적 연마 또는 에치백 공정으로 제거되는 것을 특징으로 하는 금속 매립 방법.

#### 【청구항 13】

반도체 기판 상에 절연막을 형성하는 단계;

상기 절연막 상에 제1 마스크층 및 제2 마스크층을 순차적으로 형성하는 단계;

상기 제2 마스크층 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 상기 제1 및 제2 마스크층을 식각하여 각기 제1 폭의 제1 및 제2 개구부를 갖는 제1 및 제2 마스크를 형성하는 단계;

상기 제2 마스크 보다 상기 제1 마스크 패턴에 대해 상대적으로 높은 식각율을 갖는 에천트로 상기 제1 마스크를 선택적으로 식각하여 제2 폭의 확장된 제3 개구부를 갖는 제3 마스크를 형성하는 단계;

상기 제2 마스크를 이용하여 상기 절연막을 식각하여 상기 절연막에 제1 폭의 홀을 형성하는 단계;

상기 절연막 상에 상기 홀 및 상기 확장된 제3 개구부를 매립하는 금속층을 형성하는 단계; 및

상기 절연막이 노출될 때까지 상기 제3 마스크 및 상기 금속층을 제거하는 단계를 포함하는 금속 매립 방법.

#### 【청구항 14】

제 13 항에 있어서, 상기 제1 마스크층은 불소를 포함하는 산화물, 탄소를 포함하는 산화물, 실리콘계 산화물, HSQ, FOX 및 LKD로 이루어진 그룹 중 선택된 어느 하나로 구성되며, 상기 제2 마스크층은 실리콘 산질화물, 실리콘 탄화물계 화합물, 실리콘계 화합물, 실리콘계 질화물로 이루어진 그룹 중 선택된 어느 하나로 구성되는 것을 특징으로 하는 금속 매립 방법.

#### 【청구항 15】

제 13 항에 있어서, 상기 에천트는 플로오르계 용매, 암모니아계 용매, 불산계 용액 및 암모니아계 알칼리 용액으로 이루어진 그룹 중 선택된 어느 하나인 것을 특징으로 하는 금속 매립 방법.

#### 【청구항 16】

제 13 항에 있어서, 상기 금속층은 전기 도금 공정으로 형성된 구리를 포함하는 것을 특징으로 하는 금속 매립 방법.

**【청구항 17】**

제 16 항에 있어서, 상기 전기 도금 공정은 구리 10~30g/l, 황산 100~300g/l, 염소 40~120ppm, 반응 억제제 15~45ml/l 및 반응 촉진제 1~4ml/l를 포함하는 전해액을 사용하여 수행되는 것을 특징으로 하는 금속 매립 방법.

**【청구항 18】**

제 13 항에 있어서, 상기 제3 마스크 및 상기 금속층은 화학 기계적 연마 공정 또는 에치 백 공정에 의해서 제거되는 것을 특징으로 하는 금속 매립 방법.

**【청구항 19】**

제 13 항에 있어서, 상기 홀을 형성하기 전에 상기 제2 마스크를 제거하는 단계를 더 포함하는 것을 특징으로 하는 금속 매립 방법.

**【청구항 20】**

반도체 기판 상에 절연막 및 마스크층을 순차적으로 형성하는 단계;

상기 마스크층 상에 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 마스크로 상기 절연막 및 상기 마스크층을 식각하여 상기 절연막에 제1 폭의 홀을 형성하는 동시에 제1 폭의 제1 개구부를 갖는 제1 마스크를 형성하는 단계;

상기 제1 마스크 상에 상기 제1 폭보다 넓은 제2 폭의 패턴 스페이스를 포함하는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 마스크로 상기 절연막 패턴이 노출될 때까지 상기

제1 마스크를 식각하여 제2 폭의 확장된 제2 개구부를 갖는 제1 마스크를 형성하는 단계

;

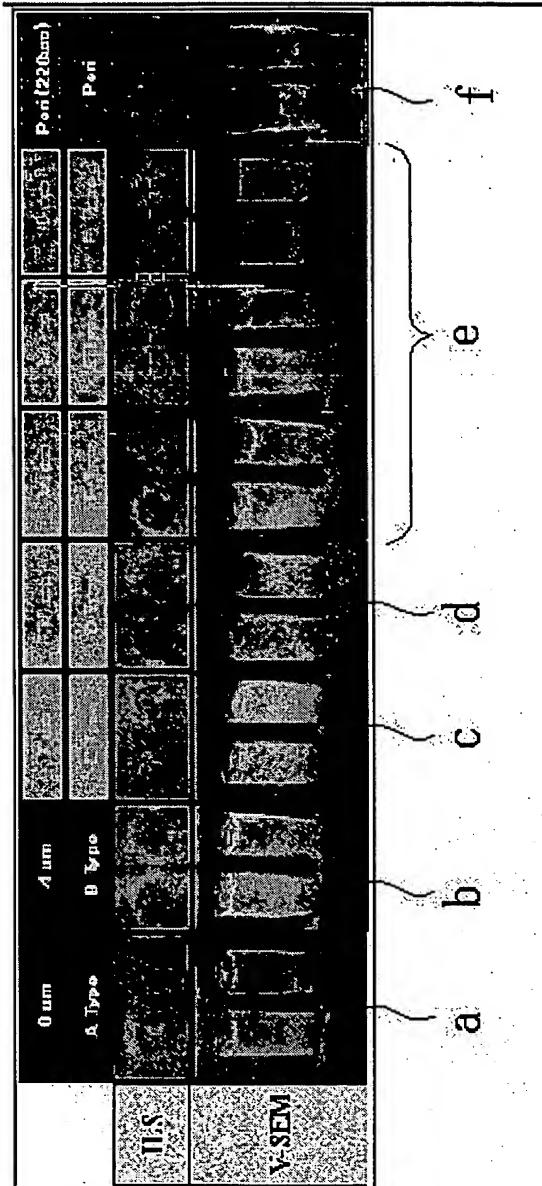
상기 절연막 상에 상기 홀 및 상기 확장된 개구부를 매립하는 금속층을 형성하는

단계; 및

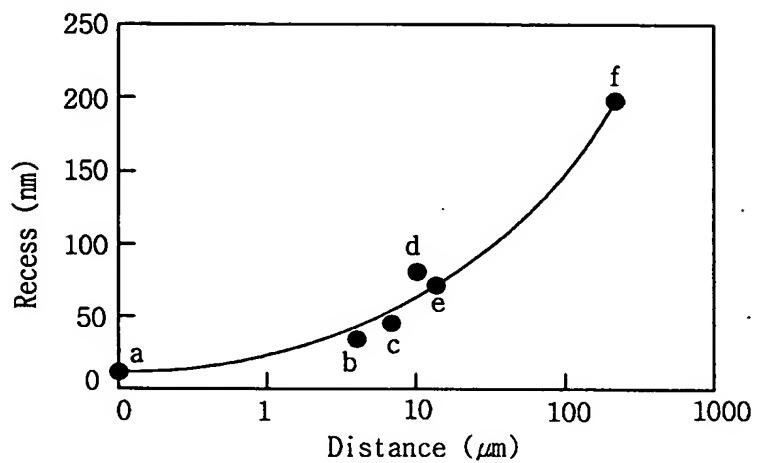
상기 절연막의 상면이 노출될 때까지 상기 제2 마스크 및 상기 금속층을 제거하는  
단계를 포함하는 금속 매립 방법.

## 【도면】

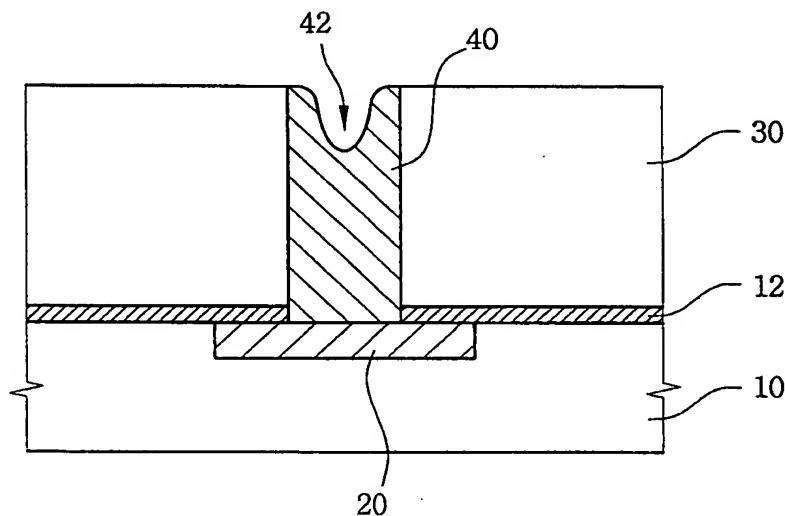
【도 1】



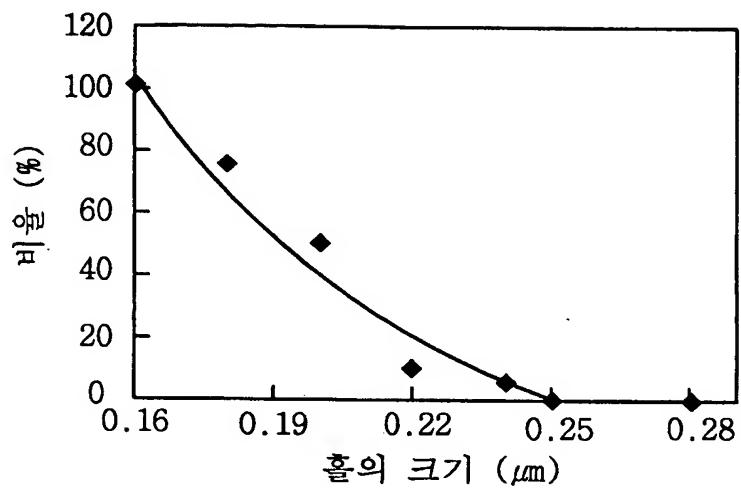
【도 2】



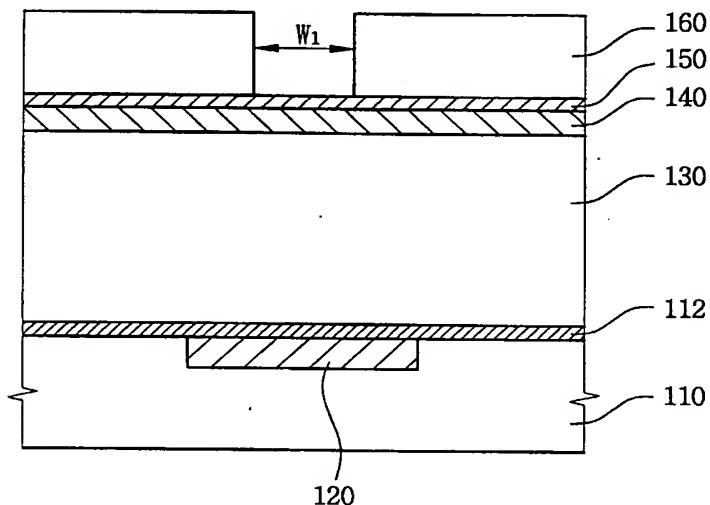
【도 3】



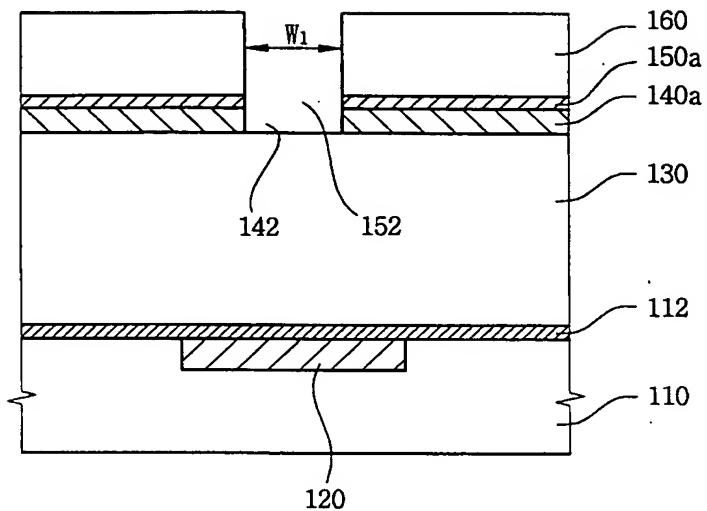
【도 4】



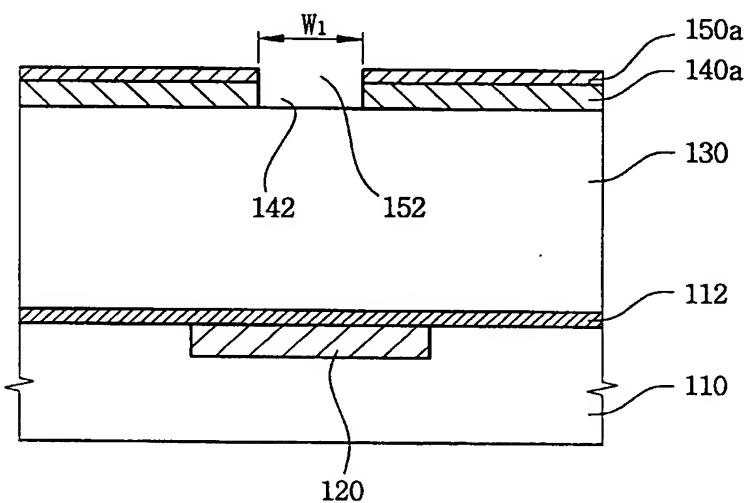
【도 5a】



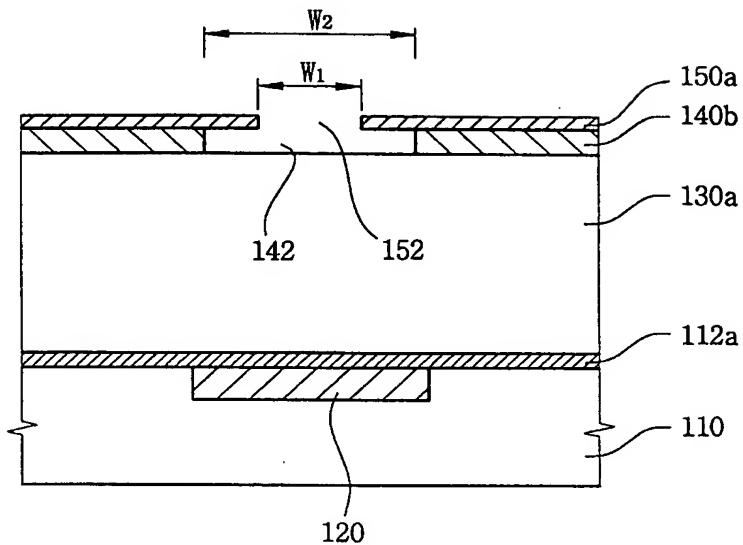
【도 5b】



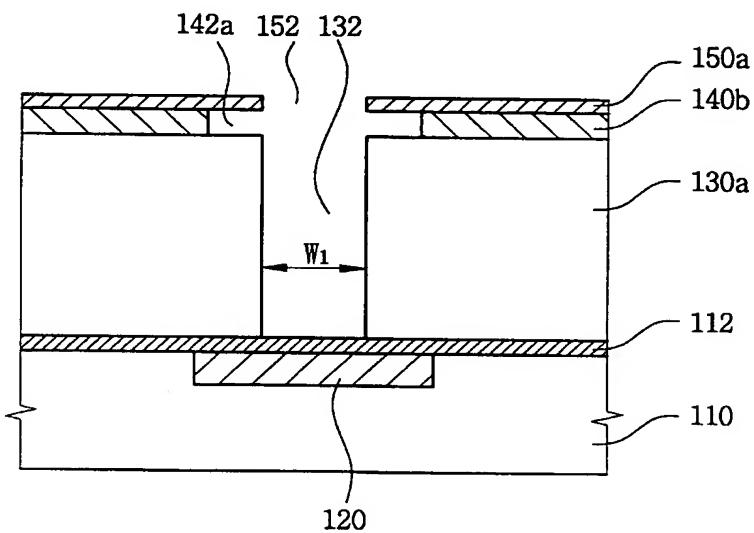
【도 5c】



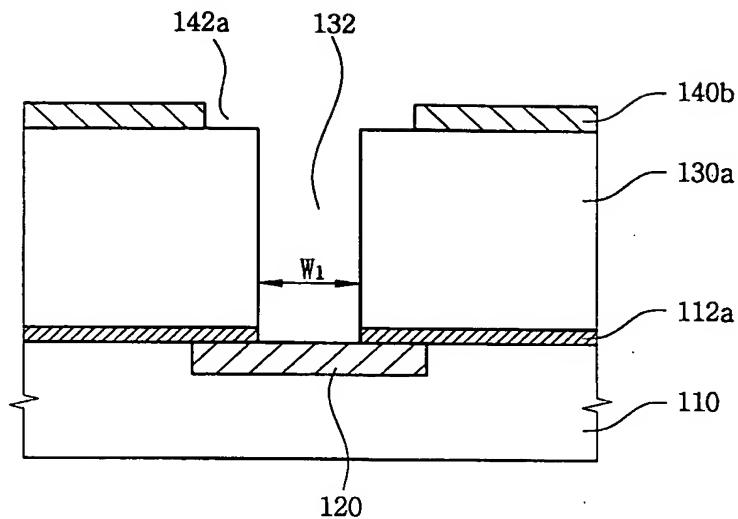
【도 5d】



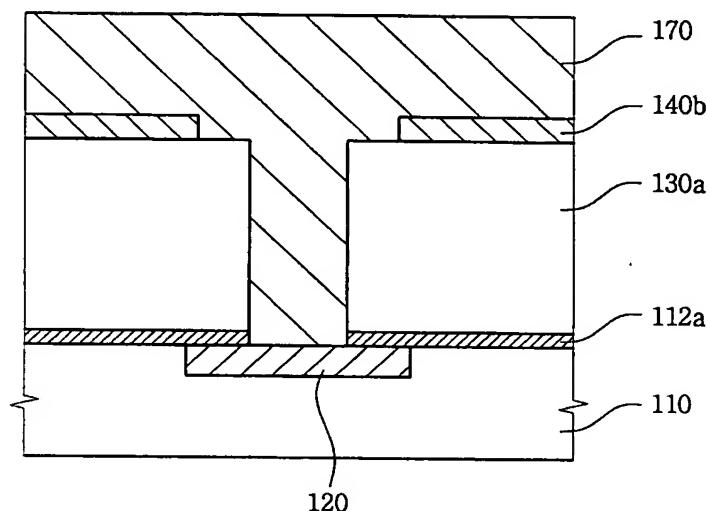
【도 5e】



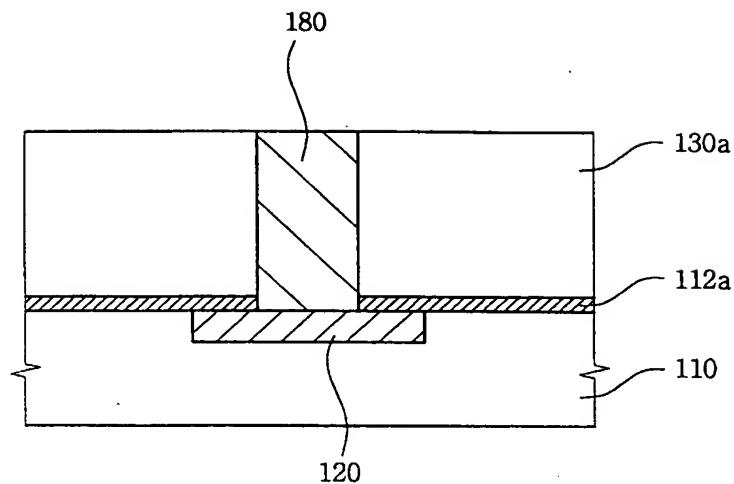
【도 5f】



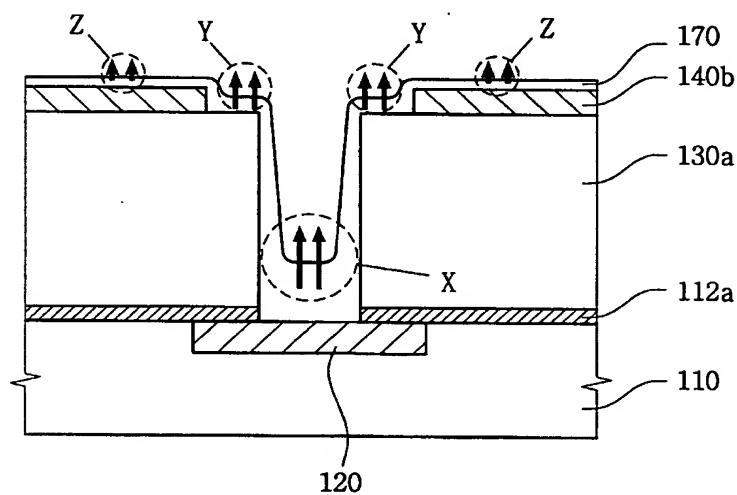
【도 5g】



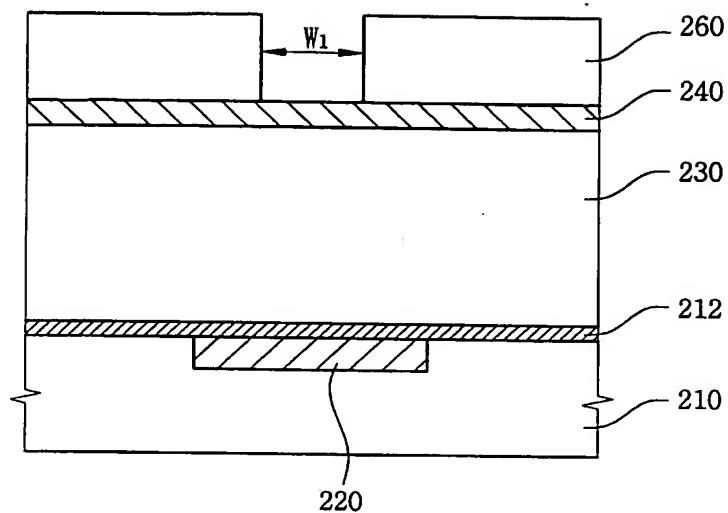
【도 5h】



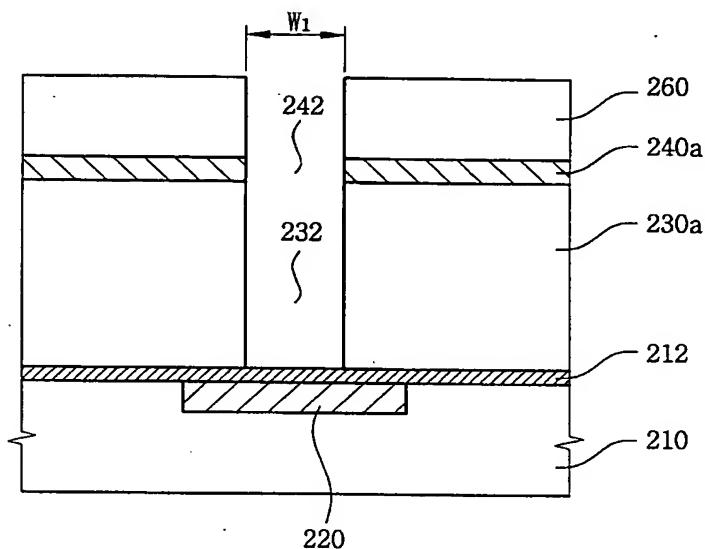
【도 6】



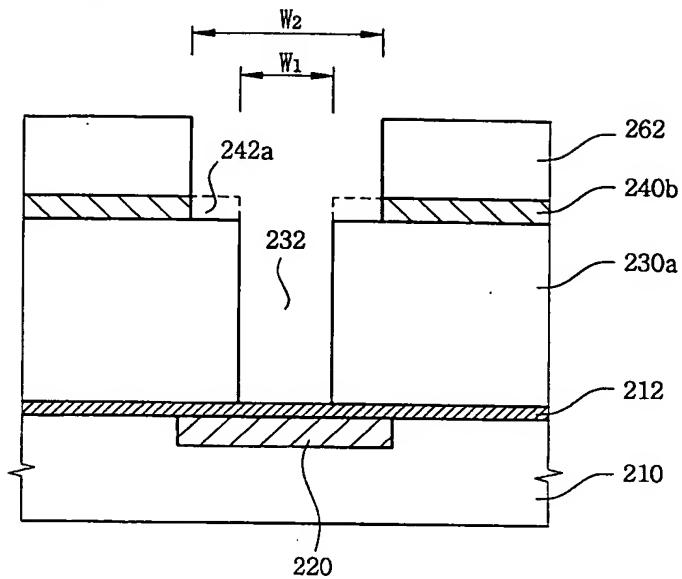
【도 7a】



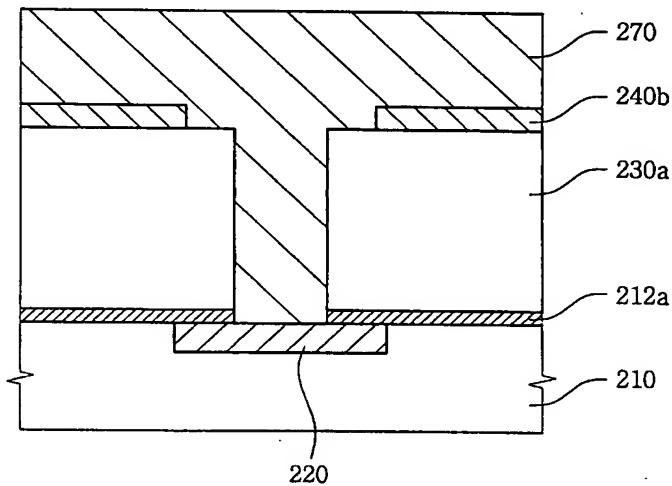
【도 7b】



【도 7c】



【도 7d】



【도 7e】

